

# MIXED-SIGNAL GATE ARRAY

## Abschlußbericht

### Kurzfassung

Die Realisierbarkeit einer Systemintegration auf einem einzigen ASIC ist bei Gate-Arrays der aktuellen Generationen nicht mehr durch die Zahl der Gatter beschränkt, vielmehr sind oft die fehlenden Möglichkeiten zur Integration analoger Schaltungsfunktionen ein wesentlicher Hinderungsgrund. Der Bedarf an gemischt analog-digitalen ASICs für den Maschinenbau ist durch die Anbindung der in der Prozeßüberwachung eingesetzten Sensoren und Stellglieder gegeben. In der dezentralen Automation ergibt sich z.B. durch die Vielzahl von Datenübertragungsstandards die Notwendigkeit der Anwenderspezifischen Lösung im digitalen Sektor, bei den analogen Komponenten entsteht die Forderung zur flexiblen Schaltungsauslegung z.B. durch unterschiedliche Sensorspezifikationen. Ströme, Spannungen oder Kapazitätswerte als Eingangsgrößen müssen in einem breiten Dynamikbereich und mit unterschiedlichsten Anforderungen an Auflösung und Genauigkeit verarbeitet werden können.

Im Rahmen des Projekts wurde das 0,8  $\mu\text{m}$  CMOS Sea-of-Gates Gate-Array GATE FOREST des IMS von rein digitalem Betrieb zu einem Mixed-Signal System ausgebaut. Ein relativ kleiner Teil der Master wurde für Anlogschaltungen zur Verfügung gestellt. Der Rest des Masters dient nach wie vor der digitalen Datenverarbeitung. Im Analogteil der Master wurden Transistoren mit größerer Kanallänge sowie Widerstandselemente untergebracht. In einer sonst ungenützten Ecke des Masters wurden technologiekompatibel bipolare Transistoren erstellt, eigens für Erzeugung einer Referenzspannung auf Band-Gap-Prinzip. Basierend auf dem so ergänzten Master wurden Anlogschaltungen entworfen, mit denen die obengenannten Ziele - Signal-Konditionierung und Umsetzung - realisiert werden können. So entstand die analoge Zellenbibliothek GFN120ANA, deren Zellen beim ASIC-Entwurf genauso zur Verfügung stehen wie sonst die digitalen Zellen. *Damit wurde das Ziel des Forschungsvorhabens erfüllt.*

Im Ergebnis der Arbeiten liegen etliche Testchips und zwei Demonstratoren vor. Während die Testchips nur zur Verifizierung und Charakterisierung von einzelnen Zellen oder Funktionen dienen, repräsentieren die Demonstratoren die Möglichkeit, ASICs mit komplexen, gemischt analog-digitalen Funktionen zu bauen.

Für die Analogzellen wurden PSpice Verhaltensmodelle erstellt und auf einer Diskette diesem Bericht beigelegt. Dadurch erhalten potentielle Kunden ein wichtiges Hilfsmittel für die Spezifikation und den Entwurf von Mixed-Signal ASICs

---

F&E-Vorhaben:	33 Seiten, 5 Anhänge, Literaturverzeichnis
Beginn der Arbeiten:	01. 10. 1995
Ende der Arbeiten:	31. 12. 1997.
Zuschußgeber:	BMWi/AIF-Nr. 10388 B
Forschungsstellen:	IMS - Institut für Mikroelektronik Stuttgart (federführend) Prof. Dr. B. Höfflinger GEMAC Gesellschaft für Mikroelektronikanwendung Chemnitz mbH Dr.-Ing. C. Dittrich
Bearbeiter und Verfasser:	Dr. P. Gärtner, Dr. R. Grube, J. Engelhardt
Vorsitzender des Beirates:	Dr. W. Runge, ZF Friedrichshafen AG